

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

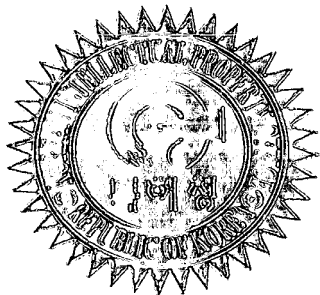
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0060248  
Application Number

출원년월일 : 2002년 10월 02일  
Date of Application OCT 02, 2002

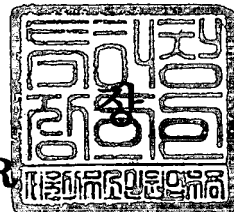
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【제출일자】     | 2002.10.02  |
| 【발명의 명칭】   | 커패시터를 포함하는 반도체 소자의 제조 방법                              |
| 【발명의 영문명칭】 | Method of forming semiconductor device with capacitor |
| 【출원인】      |   |
| 【명칭】       | 삼성전자 주식회사   |
| 【출원인코드】    | 1-1998-104271-3                                       |
| 【대리인】      |   |
| 【성명】       | 임창현   |
| 【대리인코드】    | 9-1998-000386-5                                       |
| 【포괄위임등록번호】 | 1999-007368-2   |
| 【대리인】      |   |
| 【성명】       | 권혁수   |
| 【대리인코드】    | 9-1999-000370-4                                       |
| 【포괄위임등록번호】 | 1999-056971-6   |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김홍기   |
| 【성명의 영문표기】 | KIM,HONG KI   |
| 【주민등록번호】   | 671018-1005710  |
| 【우편번호】     | 441-360   |
| 【주소】       | 경기도 수원시 권선구 고색동 거산 아파트 101동 209호                      |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 오재희   |
| 【성명의 영문표기】 | OH, JAE HEE   |
| 【주민등록번호】   | 671130-1347611  |
| 【우편번호】     | 463-050   |
| 【주소】       | 경기도 성남시 분당구 서현동 시범단지 현대아파트 423-203                    |
| 【국적】       | KR  |

**【발명자】****【성명의 국문표기】**

윤관영

**【성명의 영문표기】**

YOUN, KWAN YOUNG

**【주민등록번호】**

750407-1457810

**【우편번호】**

422-090

**【주소】**

경기도 부천시 소사구 괴안동 아주아파트 1동 606호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)

**【수수료】****【기본출원료】**

16 면 29,000 원

**【가산출원료】**

0 면 0 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

6 항 301,000 원

**【합계】**

330,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

커패시터를 포함하는 반도체 소자의 형성 방법을 제공한다. 이 방법에 따르면, 반도체 기판 상에 지지막 및 희생막을 순차적으로 형성하고, 상기 희생막 및 상기 지지막을 순차적으로 패터닝하여 개구부를 형성하고, 상기 개구부의 내벽과 저면을 덮는 하부전극을 형성하고, 상기 희생막을 습식식각으로 제거하고, 상기 하부전극과 상기 지지막 상에 유전막 및 상부전극을 형성하되, 상기 희생막은 상기 지지막보다 습식 식각 속도가 빠른 물질로 형성한다.

**【대표도】**

도 2g

**【색인어】**

커패시터, 층간절연막, 식각저지막

**【명세서】****【발명의 명칭】**

커패시터를 포함하는 반도체 소자의 제조 방법{Method of forming semiconductor device with capacitor}

**【도면의 간단한 설명】**

도 1a 내지 도 1c는 종래 기술에 따라 커패시터를 포함하는 반도체 구조를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

도 2a 내지 도 2g는 본 발명의 바람직한 실시예에 따라 커패시터를 포함하는 반도체 구조를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 좀 더 상세하게 커패시터를 포함하는 반도체 소자의 방법에 관한 것이다.
- <4> 반도체 장치가 고집적화됨에 따라, 커패시터의 용량을 줄이지 않으면서 동시에 고집적화를 이루어내는 것이 중요한 과제가 되고 있다. 커패시터의 용량은 커패시터 전극간 거리에 반비례하고 표면적에 비례한다. 따라서, 반도체 장치가 고집적화됨에 따라 커패시터 전극간 거리가 좁아지기에 커패시터의 용량을 일정하게 유지시키기 위해 표면적을 증가시켜야 한다. 표면적을 증가시킨 종래의 커패시터 구조들 중에서 실린더

(cylinder)형의 이너 커패시터(inner capacitor)를 일 예로 들어 종래 기술을 설명하기로 한다.

- <5> 도 1a 내지 도 1c는 종래 기술에 따라 커패시터를 포함하는 반도체 소자를 형성하는 방법을 나타내는 공정 단면도들이다. 도 1a 내지 도 1c에 있어서 참조번호 a는 셀 어레이 영역을 b는 주변회로 영역을 나타낸다.
- <6> 도 1a를 참조하면, 반도체 기판(1)의 전면 상에 하부층간절연막(10)을 형성한다. 상기 하부층간절연막(10)을 패터닝하고 하부 도전막을 형성하여 상기 셀 어레이 영역(a)과 상기 주변회로 영역(b)에 각각 상기 반도체 기판(1)과 접하는 하부콘택 플러그(12a, 12b)들을 형성한다. 상기 하부콘택 플러그(12a, 12b)들이 형성된 상기 반도체 기판(1)의 전면 상에 제 1 식각 저지막(14), 저지막(16), 제 2 식각 저지막(18), 및 희생막(19)을 순차적으로 형성한다. 상기 셀 어레이 영역(a)에서 건식식각공정으로 상기 막들(19, 18, 16, 14)을 패터닝하여 상기 콘택 플러그(12a) 및 그 주위의 상기 하부층간절연막(10)의 일부를 노출시키는 개구부를 형성한다.
- <7> 도 1b를 참조하면, 상기 개구부가 형성된 상기 반도체 기판(1)의 전면 상에 제 1 도전막을 콘포말하게 형성하고 상기 제 1 도전막의 일부를 제거하여 상기 개구부의 내벽을 덮는 하부전극(20)을 형성한다. 상기 희생막을 습식식각으로 제거하여 상기 하부전극(20)의 외벽의 상부를 노출시킨다. 상기 반도체 기판(1)의 전면상에 유전막 및 제 2 도전막을 순차적으로 형성하고 패터닝하여, 상기 셀 어레이 영역(a)에서 상기 하부전극(20)을 덮되, 상기 하부전극(20)의 밖으로 돌출되어 상기 제 2 식각 저지막(18)을 덮는 유전막패턴(22) 및 상부전극(24)을 형성하여 커패시터 구조를 완성하며, 상기 주변회로 영역(b)에서 상기 제 2 식각 저지막(18)을 노출시킨다.

<8> 도 1c를 참조하면, 상기 반도체 기판(1)의 전면상에 커패시터를 덮도록 층간절연막(26)을 형성한다. 상기 주변회로 영역(b)에서 상기 층간절연막(26), 상기 제 2 식각 저지막(18), 상기 지지막(16), 및 상기 제 1 식각 저지막을 건식식각공정으로 순차적으로 패터닝하여 상부콘택홀을 형성하고 도전막을 채워 상기 콘택 플러그(12b)와 접하는 상부콘택 플러그(28)를 형성한다. 상기 셀 어레이 영역(a)에서 상기 층간절연막(26)을 패터닝하고 도전막을 채워, 상기 하부전극(20)의 밖으로 돌출된 상부전극(24)의 일부분과 접하는 상부전극콘택 플러그(30)를 형성한다.

<9> 종래기술에 따른 상기 방법에 있어서, 상기 희생막(19)과 상기 지지막(16)은 서로에 대해 습식식각선택비를 갖지 않는 산화막으로 이루어진다. 따라서 상기 하부전극(20) 형성을 위한 습식식각 공정시 상기 지지막(16)이 제거되는 것을 방지하기 위하여 실리콘 질화막으로 이루어지는 상기 제 2 식각저지막(18)을 사용한다. 그러나 상기 제 2 식각저지막(18)을 사용함으로써, 상기 제 2 식각 저지막(18)을 추가로 증착해주어야 하며, 후속공정에서 상부콘택 플러그(28)등을 형성할때 상기 제 2 식각저지막(18)을 부분적으로 제거해야 하기에 공정이 복잡해진다. 또한 막질이 달라서 상기 상부콘택홀의 프로파일이 나빠진다.

**【발명이 이루고자 하는 기술적 과제】**

<10> 따라서, 상기 문제점을 해결하기 위하여, 본 발명의 기술적 과제는 식각 저지막 없이 이너 실린더형 커패시터를 포함하는 반도체 소자를 형성하는 방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

- <11> 따라서, 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자의 형성 방법은 서로 다른 습식 식각 속도를 갖는 희생막과 지지막을 사용하는 것을 특징으로 한다.
- <12> 상기 방법에 따르면, 먼저 반도체 기판 상에 지지막 및 희생막을 순차적으로 형성한다. 상기 희생막 및 상기 지지막을 패터닝하여 개구부를 형성한다. 상기 개구부의 내벽과 저면을 덮는 하부전극을 형성한다. 상기 희생막을 습식식각으로 제거한다. 그리고, 상기 하부전극과 상기 지지막 상에 유전막 및 상부전극을 형성한다. 여기서, 상기 희생막은 상기 지지막보다 습식 식각 속도가 빠른 물질로 형성된다.
- <13> 상기 방법에 있어서, 상기 지지막을 형성하기 전에 상기 반도체 기판 상에 하부 콘택 플러그를 형성할 수 있으며, 이때 상기 개구부는 상기 하부 콘택 플러그를 노출시키도록 형성되고 상기 개구부는 상기 하부 콘택 플러그의 폭보다 넓은 폭을 갖는다.
- <14> 상기 방법에 있어서, 상기 지지막은 PETEOS(Plasma enhanced tetraethyl orthosilicate) 산화막, 또는 HDP(High density plasma oxide) 산화막으로 이루어진다. 상기 희생막은 HSQ(Hydrogen silsesquioxane) 산화막, BPSG(Borophosphosilicate glass) 산화막, 및 PSG(Phosphosilicate glass) 산화막으로 이루어지는 그룹에서 선택되는 하나의 물질로 이루어진다. 상기 방법에 있어서, 상기 습식 식각은 HF 용액을 사용한다.
- <15> 상기 방법에 있어서, 상기 상부전극을 포함하는 상기 반도체 기판의 전면 상에 층간 절연막을 형성하고, 상기 층간 절연막과 상기 지지막을 패터닝하여 콘택홀을 형성하고 상기 콘택홀을 도전막으로 채워 콘택플러그를 형성할 수 있다.



<16> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제 공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소 들을 나타내며, 참조 번호 a는 셀 어레이 영역을 그리고 b는 주변회로 영역을 나타낸다.

<17> 도 2a 내지 도 2h는 본 발명의 바람직한 실시예에 따라 커패시터를 포함하는 반도체 구조를 형성하는 방법을 순차적으로 나타내는 공정단면도들이다.

<18> 도 2a를 참조하면, 반도체 기판(100)의 전면 상에 하부층간절연막(110)을 형성한다. 상기 하부층간절연막(110)은 산화막 계열의 물질로 이루어질 수 있다. 상기 하부층간절연막(110)을 패터닝하여 하부콘택홀을 형성하고 하부 도전막을 채워 상기 셀 어레이 영역(a)과 상기 주변회로 영역(b)에 각각 상기 반도체 기판(100)과 접하는 하부 콘택 플러그들(112a, 112b)을 형성한다. 상기 하부콘택 플러그들(112a, 112b)이 형성된 상기 반도체 기판(100)의 전면 상에 식각 저지막(114), 지지막(116), 및 희생막(118)을 차례로 형성한다. 이때, 상기 지지막(116)과 상기 희생막(118)은 산화막 계열의 물질로 형성하나, 상기 희생막(118)은 상기 지지막(116)보다 빠른 습식 식각 속도를 갖는 물질로 형성한다. 바람직하게는, 상기 지지막(116)은 PETEOS(Plasma enhanced tetraethyl orthosilicate) 산화막, 또는 HDP (High density plasma oxide) 산화막으로 형성하고,

상기 희생막(118)은 HSQ(Hydrogen silsesquioxane) 산화막, BPSG(Borophosphosilicate glass) 산화막, 및 PSG(Phosphosilicate glass) 산화막으로 이루어지는 그룹에서 선택되는 하나의 물질로 형성한다.

<19> 도 2b를 참조하면, 상기 셀 어레이 영역(a)에서, 상기 희생막(118), 상기 지지막(116), 및 상기 식각저지막(114)을 순차적으로 이방성 식각하여, 상기 하부콘택 플러그(112a)와 그 주위의 상기 하부충간절연막(110)의 일부를 노출시키는 개구부(120)를 형성한다. 이때, 상기 개구부(120)는 실린더 형태를 갖는다.

<20> 도 2c를 참조하면, 상기 개구부(120)가 형성된 상기 반도체 기판(100)의 전면 상에 제 1 도전막을 콘포말하게 형성한다. 상기 제 1 도전막은 티타늄질화막(TiN), 루테튬(Ru), 또는 텅스텐(W)으로 형성할 수 있다. 상기 제 1 도전막 상에 희생산화막(미도시)을 형성하여 상기 개구부(120)를 채운다. 상기 희생산화막은 상기 희생막(118)과 동일한 물질로 형성할 수 있다. 건식 식각 또는 CMP 공정으로 상기 희생산화막과 상기 제 1 도전막의 상부를 제거하고 상기 희생막(118)을 노출시키는 동시에 상기 개구부(120)의 내벽과 저면을 덮는 하부전극(122)을 형성할 수 있다. 상기 희생산화막을 제거한다. 상기 지지막(116)은 상기 하부전극(122)의 쓰러짐을 방지하는 역할을 한다.

<21> 도 2d를 참조하면, 상기 희생막(118)을 습식식각 공정으로 제거하여 상기 하부전극(122)의 외벽의 상부 및 상기 지지막(116)을 노출시킨다. 상기 희생산화막이 상기 희생막(118)과 동일한 물질로 이루어진 경우, 상기 희생산화막을 제거할 때 상기 희생막(118)도 같이 제거된다. 상기 습식 식각 공정은 HF 용액을 사용하여 진행될 수 있다.

<22> 도 2e를 참조하면, 상기 희생막(118)이 제거된 상기 반도체 기판(100)의 전면 상에 유전막(124) 및 제 2 도전막(126)을 콘포말하게 순차적으로 형성한다. 상기 유전막(124)

은 탄탈륨산화물( $TaO_x$ ), 알루미늄산화물( $AlO_x$ ), 또는 하프늄산화물( $HfO_x$ )으로 이루어질 수 있다. 상기 제 2 도전막(126)은 상기 제 1 도전막(122)과 같은 물질인 티타늄질화막( $TiN$ ), 루테튬( $Ru$ ) 또는 텅스텐( $W$ )으로 형성할 수 있다.

<23> 도 2f를 참조하면, 상기 주변회로 영역(b)에서 상기 제 2 도전막(126) 및 상기 유전막(124)을 제거하여, 상기 셀 어레이 영역(a)에서 상기 하부전극(122)의 내벽과 저면 및 외벽의 상부 및 상기 지지막(116)을 덮는 유전막 패턴(124a) 및 상부전극(126a)을 형성하여 이너 실린더형 커패시터의 구조를 완성한다.

<24> 도 2h를 참조하면, 상기 반도체 기판(100)의 전면상에 층간 절연막(128)을 형성하여, 상기 상부전극(126a)과 상기 지지막(116)을 덮는다. 상기 층간 절연막(128)은 산화막 계열의 물질로 형성할 수 있다. 상기 주변회로 영역(b)에서, 상기 층간절연막(128), 상기 지지막(116), 및 상기 식각저지막(114)을 순차적으로 패터닝하여 상부콘택홀을 형성하고 상기 상부 콘택홀을 도전성 물질로 채워 상기 하부 콘택 플러그(112b)와 전기적으로 접속하는 상부콘택 플러그(130)를 형성한다. 이와 동시에, 상기 셀 어레이 영역(a)에서 상기 층간절연막(128)을 패터닝하여 상부전극콘택홀을 형성하고 상기 상부전극콘택홀을 도전성 물질로 채워 상기 상부전극과 전기적으로 접속하는 상부전극 콘택 플러그(132)를 형성한다.

#### 【발명의 효과】

<25> 따라서, 본 발명에 의한 커패시터를 포함하는 반도체 소자의 형성 방법에 따르면, 습식 식각 속도가 서로 다른 희생막 및 지지막을 사용하여, 그 사이에 식각저지막을 추

가로 필요로 하지 않아, 공정이 단순해지며 후속 공정에서 메탈 콘택 플러그의 프로파일  
이 매끄러워 형성이 용이하다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 지지막 및 희생막을 순차적으로 형성하고,  
상기 희생막 및 상기 지지막을 순차적으로 패터닝하여 개구부를 형성하고,  
상기 개구부의 내벽과 저면을 덮는 하부전극을 형성하고,  
상기 희생막을 습식식각으로 제거하고, 그리고  
상기 하부전극과 상기 지지막 상에 유전막 및 상부전극을 형성하되,  
상기 희생막은 상기 지지막보다 습식 식각 속도가 빠른 물질로 형성되는 것을 특징  
으로 하는 커패시터를 포함하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서,  
상기 지지막을 형성하기 전에, 상기 반도체 기판 상에 하부 콘택 플러그를 형성하  
는 것을 더 포함하되, 상기 개구부는 상기 하부 콘택 플러그를 노출시키도록 형성되고  
상기 개구부는 상기 하부 콘택 플러그의 폭보다 넓은 폭을 갖는 것을 특징으로 하는 커패시터를 포함하는 반도체 소자의 제조 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 지지막은 PETEOS(Plasma enhanced tetraethyl orthosilicate) 산화막, 또는 HDP(High density plasma oxide) 산화막으로 이루어지는 것을 특징으로 하는 커패시터를 포함하는 반도체 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 희생막은 HSQ(Hydrogen silsesquioxane) 산화막, BPSG(Borophosphosilicate glass) 산화막, 및 PSG(Phosphosilicate glass) 산화막으로 이루어지는 그룹에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 커패시터를 포함하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 습식 식각은 HF 용액을 사용하는 것을 특징으로 하는 커패시터를 포함하는 반도체 소자의 제조 방법.

【청구항 6】

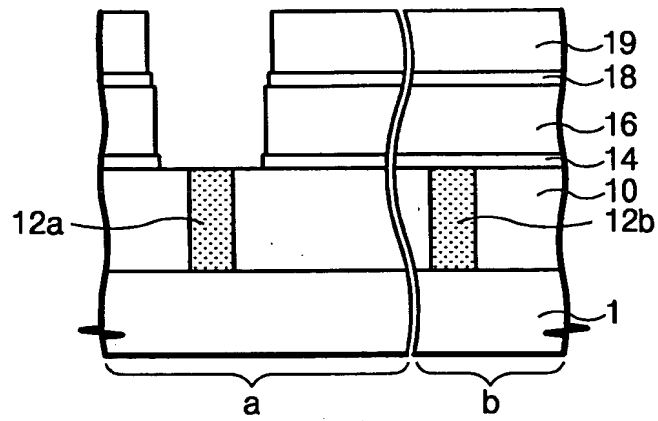
제 1 항에 있어서,

상기 상부전극을 포함하는 상기 반도체 기판의 전면 상에 층간 절연막을 형성하고,

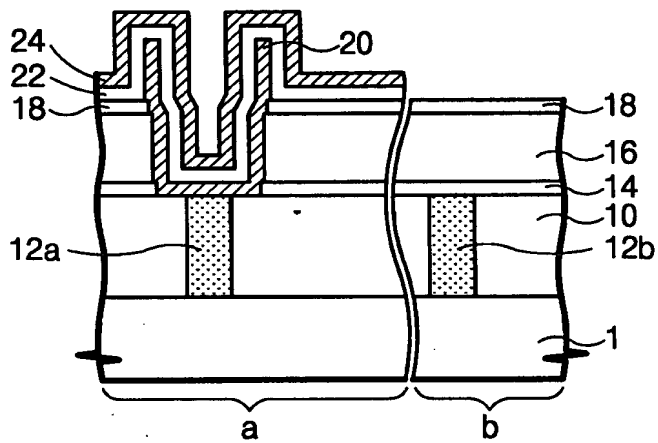
상기 층간 절연막과 상기 지지막을 패터닝하여 콘택홀을 형성하고 상기 콘택홀을 도전막으로 채워 콘택플러그를 형성하는 것을 더 포함하는 것을 특징으로 하는 커패시터를 포함하는 반도체 소자의 제조 방법.

【도면】

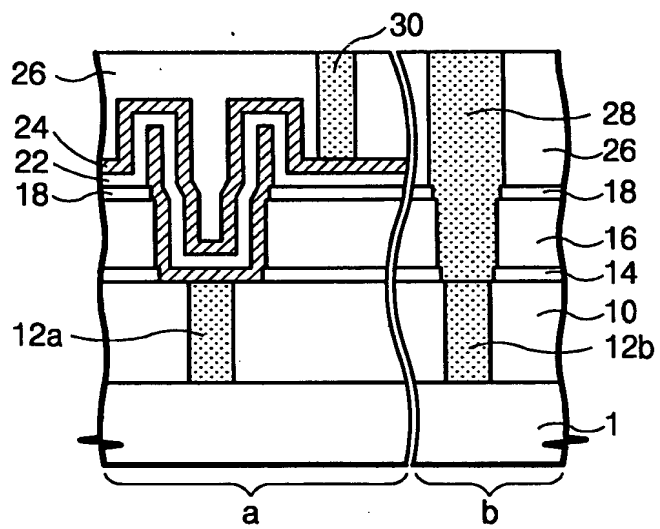
【도 1a】



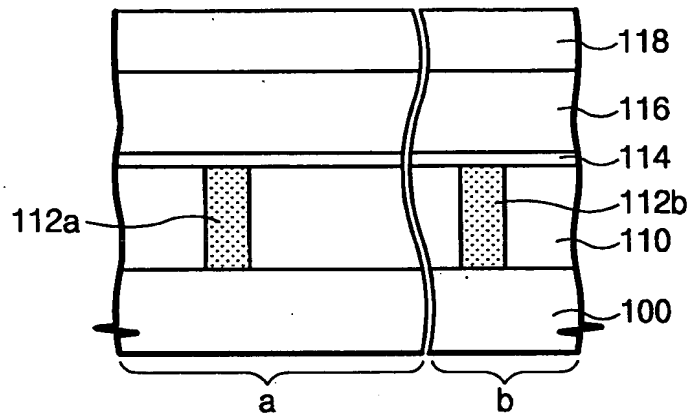
【도 1b】



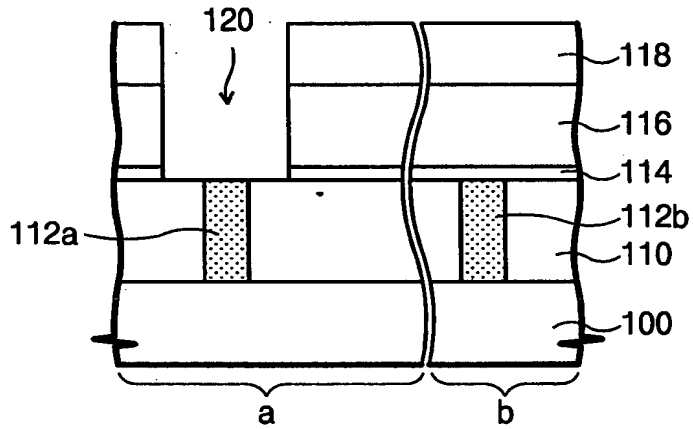
【도 1c】



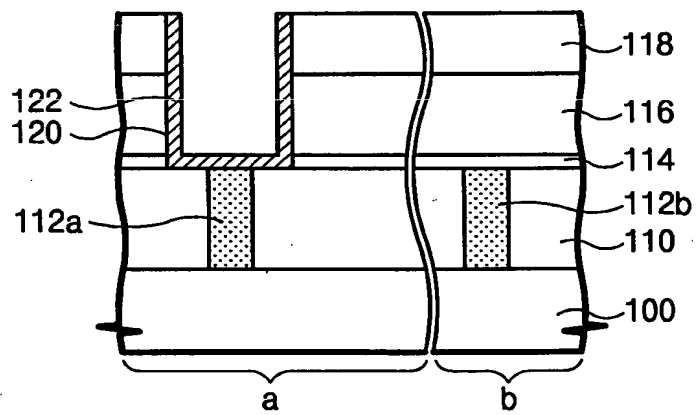
【도 2a】



【도 2b】

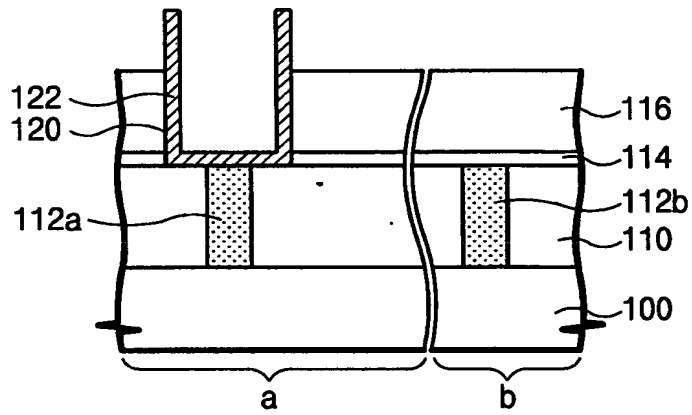


【도 2c】

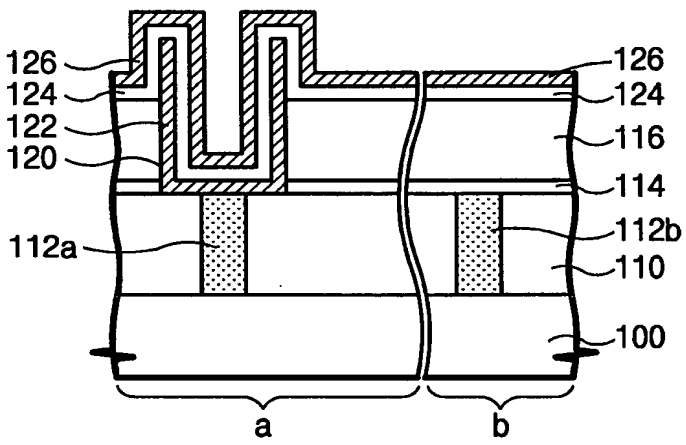




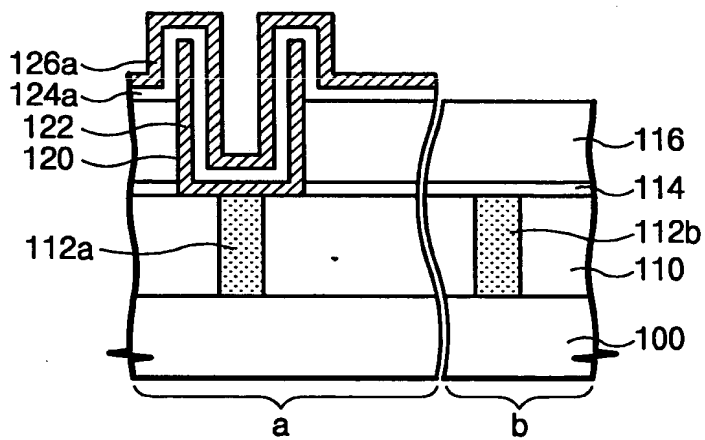
【도 2d】



【도 2e】



【도 2f】



【도 2g】

